

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-002376

(43)Date of publication of application : 08.01.1993

(51)Int.Cl.

G09G 3/36

G02F 1/133

(21)Application number : 03-192048

(71)Applicant : CANON INC

(22)Date of filing : 31.07.1991

(72)Inventor : KANEKO SHUZO
MARUYAMA TOMOKO
FUJIWARA RYOJI
YOSHIDA AKIO

(30)Priority

Priority number : 02221709
02221710Priority date : 22.08.1990
22.08.1990

Priority country : JP

JP

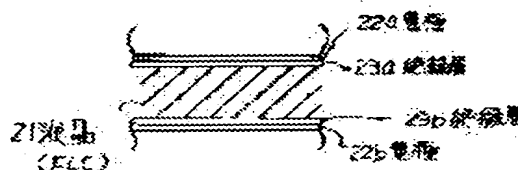
(54) LIQUID CRYSTAL DEVICE

(57)Abstract:

PURPOSE: To improve a gradational display by applying a gradation voltage signal to a couple of electrodes of a liquid crystal panel which exhibits spontaneous-polarization and applying a DC component which is a reverse bias with respect to an internal electric field during one vertical scanning period.

CONSTITUTION: Liquid crystal 21 which exhibits spontaneous self-polarization, e.g. ferroelectric liquid crystal is arranged between the couple of electrodes 22a and 22b. The gradation voltage signal corresponding to gradation information is applied to the couple of electrodes 22a and 22b and the DC component which is the reverse bias about the internal electric field produced by the application of the gradation voltage is applied to the liquid crystal 21 during one vertical scanning period. Namely, a reset voltage signal and a recording voltage signal which are applied to a picture element are applied for a time required for the optical state change of the picture element and then an auxiliary voltage signal of level corresponding to the level of the recording voltage is applied.

Consequently, an internal electrode which causes self-polarization owing to the omnipresence of ions due to the self-polarization can be controlled and half-tones (gradational display) can stably be obtained even at a moving picture rate by the optical response of the ferroelectric liquid crystal.



LEGAL STATUS

[Date of request for examination]

04.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3143497

[Date of registration] 22.12.2000

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 6 0	7820-2K		

審査請求 未請求 請求項の数31(全 14 頁)

(21) 出願番号 特願平3-192048

(22) 出願日 平成3年(1991)7月31日

(31) 優先権主張番号 特願平2-221709

(32) 優先日 平2(1990)8月22日

(33) 優先権主張国 日本(J P)

(31) 優先権主張番号 特願平2-221710

(32) 優先日 平2(1990)8月22日

(33) 優先権主張国 日本(J P)

(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72) 発明者 金子 修三
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 丸山 朋子
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 藤原 良治
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 弁理士 丸島 儀一

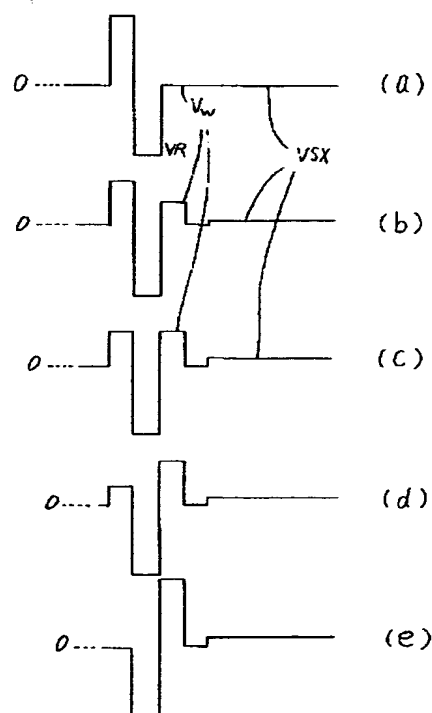
最終頁に続く

(54) 【発明の名称】 液晶装置

(57) 【要約】

【目的】 階調表示に適した液晶装置を提供すること。

【構成】 一対の電極及び該一対の電極間に配置した自発分極を発現する液晶を有する液晶パネル、前記一対の電極に階調情報に応じた階調電圧信号を印加する第1の手段と、一垂直走査期間中、前記液晶に前記階調電圧信号の印加によって生じた内部電界に対して逆バイアスとなるDC成分を印加する第2の手段とを有する液晶装置。



【特許請求の範囲】

【請求項1】 一対の電極及び該一対の電極間に配置した自発分極を発現する液晶を有する液晶パネル、前記一対の電極に階調情報に応じた階調電圧信号を印加する第1の手段と、一垂直走査期間中、前記液晶に前記階調電圧信号の印加によって生じた内部電界に対して逆バイアスとなるDC成分を印加する第2の手段とを有する液晶装置。

【請求項2】 前記液晶が強誘電性液晶である請求項1の液晶装置。

【請求項3】 前記一垂直走査期間が一フレーム走査期間である請求項1の液晶装置。

【請求項4】 前記DC成分の値が階調電圧信号の $1/50 \sim 1/5$ である請求項1の液晶装置。

【請求項5】 a. 複数の行及び列に沿って配置したスイッチング素子、該スイッチング素子の第1の端子を行毎に共通に接続した第1の配線、該スイッチング素子の第2の端子を列毎に共通に接続した第2の配線、該スイッチング素子の第3の端子毎に接続した複数の画素電極、該画素電極に対向配置した対向電極と、複数の画素電極と対向電極との間に配置した自発分極を発現する液晶を有する液晶パネル、

b. 第1の配線に走査パルス印加する第1の手段、並びに

c. 第2の配線に階調情報に応じた階調電圧信号を印加し、一垂直走査期間中、前記階調電圧信号の印加によって生じた内部電界に対して逆バイアスとなるDC成分が前記液晶に印加される様に、第2の配線に補助電圧信号を印加する第2の手段を有する液晶装置。

【請求項6】 前記液晶が強誘電性液晶である請求項5の液晶装置。

【請求項7】 前記一垂直走査期間が一フレーム走査期間である請求項5の液晶装置。

【請求項8】 前記DC成分の値が階調電圧信号の $1/50 \sim 1/5$ である請求項5の液晶装置。

【請求項9】 a. 複数の行及び列に沿って配置したスイッチング素子、該スイッチング素子の第1の端子を行毎に共通に接続した第1の配線、該スイッチング素子の第2端子を列毎に共通に接続した第2の配線、該スイッチング素子の第3の端子毎に接続した複数の画素電極、該画素電極に対向配置した対向電極と、複数の画素電極と対向電極との間に配置した自発分極を発現する液晶を有する液晶パネル、

b. 第1の配線に走査パルス印加する第1の手段、並びに

c. 第2の配線に、リセット電圧信号を印加した後、階調情報に応じた電圧信号を印加し、一垂直走査期間中、前記階調電圧信号の印加によって生じた内部電界に対して逆バイアスとなるDC成分が前記液晶に印加される様に、第2の配線に補助電圧信号を印加する第2の手段を

有する液晶装置。

【請求項10】 前記液晶が強誘電性液晶である請求項9の液晶装置。

【請求項11】 前記一垂直走査期間が一フレーム走査期間である請求項9の液晶装置。

【請求項12】 前記DC成分の値が階調電圧信号の $1/50 \sim 1/5$ である請求項9の液晶装置。

【請求項13】 前記リセット電圧信号の印加に先立って、該リセット電圧信号の絶対値と前記階調電圧信号の絶対値との差が0となる様な電圧信号を印加する手段を有する請求項9の液晶装置。

【請求項14】 前記補助電圧信号と階調電圧信号との間に電圧0を液晶に印加する手段を有する請求項9の液晶装置。

【請求項15】 自発分極を発現する液晶と該液晶を挟持する一対の電極基板と該電極基板と前記液晶間に存在する絶縁層部から成る液晶素子であって、上記液晶の自発分極Ps値と上記絶縁層部の電極間合成容量Ciと上記液晶素子における液晶の光学応答の電圧閾値Vthとの間に

【外1】

$$\frac{2Ps}{Ci} < V_{th}$$

の関係が成り立つ様に構成したことを特徴とする液晶素子。

【請求項16】 前記液晶が強誘電性液晶である請求項15の液晶装置。

【請求項17】 前記液晶がカイラルスメクチック液晶である請求項15の液晶装置。

【請求項18】 自発分極を有する液晶と該液晶を挟持する一対の電極基板と該電極基板と前記液晶間に存在する絶縁層部から成る液晶素子であって、上記液晶の自発分極Ps値と上記絶縁層部の電極間合成容量Ciと上記液晶素子における液晶の光学応答の電圧閾値Vthとの間に

【外2】

$$\frac{2Ps}{Ci} < V_{th}$$

の関係が成り立つ様に構成した液晶素子、前記一対の電極に階調情報に応じた階調電圧信号を印加する第1の手段と一垂直走査期間中、前記液晶に前記階調電圧信号の印加によって生じた内部電界に対して逆バイアスとなるDC成分を印加する第2の手段とを有する液晶装置。

【請求項19】 前記液晶が強誘電性液晶である請求項18の液晶装置。

【請求項20】 前記一垂直走査期間が一フレーム走査期間である請求項18の液晶装置。

【請求項21】 前記DC成分の値が階調電圧信号の $1/50 \sim 1/5$ である請求項18の液晶装置。

【請求項22】 a. 複数の行及び列に沿って配置した

スイッチング素子、該スイッチング素子の第1の端子を行毎に共通に接続した第1の配線、該スイッチング素子の第2の端子を列毎に共通に接続した第2の配線、該スイッチング素子の第3の端子毎に接続した複数の画素電極、該画素電極に対向配置した対向電極、複数の画素電極と対向電極との間に配置した自発分極P_sを発現する液晶、画素電極及び対向電極の少なくとも一方に配置した絶縁部材とを有し、該液晶の光学応答の電圧閾値V_{th}と該絶縁部材の電極間容量C_iとの間に、

【外3】

$$\frac{2 P_s}{C_i} < V_{th}$$

の関係が成り立つ様に構成した液晶素子、

b. 第1の配線に走査パルスを印加する第1の手段、並びに

c. 第2の配線に、階調情報に応じた階調電圧信号を印加し、一垂直走査期間中、前記階調電圧信号の印加によって生じた内部電界に対して逆バイアスとなるDC成分が前記液晶に印加される様に、第2の配線に補助電圧信号を印加する第2の手段を有する液晶装置。

【請求項23】 前記液晶が強誘電性液晶である請求項22の液晶装置。

【請求項24】 前記一垂直走査期間が一フレーム走査期間である請求項22の液晶装置。

【請求項25】 前記DC成分の値が階調電圧信号の1/50~1/5である請求項22の液晶装置。

【請求項26】 a. 複数の行及び列に沿って配置したスイッチング素子、該スイッチング素子の第1の端子を行毎に共通に接続した第1の配線、該スイッチング素子の第2の端子を列毎に共通に接続した第2の配線、該スイッチング素子の第3の端子毎に接続した複数の画素電極、該画素電極に対向配置した対向電極、複数の画素電極と対向電極との間に配置した自発分極P_sを発現する液晶、画素電極及び対向電極の少なくとも一方に配置した絶縁部材とを有し、該液晶の光学応答の電圧閾値V_{th}と該絶縁部材の電極間容量C_iとの間に、

【外4】

$$\frac{2 P_s}{C_i} < V_{th}$$

の関係が成り立つ様に構成した液晶素子、

b. 第1の配線に走査パルスを印加する第1の手段、並びに

c. 第2の配線に、リセット電圧信号を印加した後、階調情報に応じた電圧信号を印加し、一垂直走査期間中、前記階調電圧信号の印加によって生じた内部電界に対して逆バイアスとなるDC成分が前記液晶に印加される様に、第2の配線に補助電圧信号を印加する第2の手段を有する液晶装置。

【請求項27】 前記液晶が強誘電性液晶である請求項26の液晶装置。

【請求項28】 前記一垂直走査期間が一フレーム走査期間である請求項26の液晶装置。

【請求項29】 前記DC成分の値が階調電圧信号の1/50~1/5である請求項26の液晶装置。

【請求項30】 前記リセット電圧信号の印加に先立って、該リセット電圧信号の絶対値と前記階調電圧信号の絶対値との差が0となる様な電圧信号を印加する手段を有する請求項26の液晶装置。

【請求項31】 前記補助電圧信号と階調電圧信号との間に電圧0を液晶に印加する手段を有する請求項26の液晶装置。

【発明の詳細な説明】

【0001】

【発明の分野】本発明は、自発分極を発現する液晶、特に強誘電性液晶（FLC）を用いた液晶装置に関するものである。

【0002】

【従来技術】上記自発分極を有する液晶として強誘電性液晶（FLC）は、その高速応答性・メモリ性等の利点に注目され表示素子、ライトバルブ等の目的のために積極的に開発されている。上記利点を生かしたターゲットとして、光シャッタアレイ、単純マトリクス駆動による高精細表示装置、光導電体と組み合わせた高密度記録のライトバルブ等が挙げられる。またさらに、薄膜トランジスタ（TFT）等を用いたアクティブマトリクス駆動による動画像表示にも期待され、この特性はたとえばU. S. P. 4, 840, 462やProceeding of theSID, VOL. 30/2, 1989「Ferroelectric Liquid Crystal Video Display」等に示されている。

【0003】一方、上記FLCを駆動する場合に、一般的にまたは本発明者らにより実験検証の結果、以下に述べる様な問題点が生じることが明らかになってきた。

【0004】その1つはFLCに対して長時間の直流電圧（DC）成分が連続して印加されると液晶の応答が疎外されることである。この原因としては、上記DC成分により、液晶の内部イオンの偏在が誘起され、これが電界を形成するためと考えられる。

【0005】これに対し既に本出願人による補助パルスによりDC成分をキャンセルする提案（特願平2-69547号）がなされているが、さらにまた、FLCでは分子自身が自発分極を有するがために、この自発分極に対応して偏在する内部イオンが電界を形成すると考えられる原因により、所望の中間調を不安定にし、また外部電圧値（印加電圧値）に対しての光学応答においてヒステリシスを生ずる問題点が確認される。

【0006】たとえば、テレビレート（60Hz）程度の駆動周波数でリセットパルス、書き込みパルスを連続してFLCに印加した場合に起こる上記現象例を図20

～図22に示す。

【0007】上記実験により検証された問題点を考慮し、FLCの光学応答において動画レートにおいても安定して中間調（諧調表示）を得るために、本発明者らはさらに詳細な検証を行い以下の本発明に至った。

【0008】【発明の概要】本発明の目的は、階調表示に適した液晶装置を提供することである。

【0009】特に、本発明の目的は、TFTによるアクティブマトリクス駆動方式と自発分極を発現する液晶、例えば強誘電性液晶とを用い、改善された階調表示を実現した液晶装置を提供することにある本発明の第1の特徴は、一対の電極及び該一対の電極間に配置した自発分極を発現する液晶を有する液晶パネル、前記一対の電極に階調情報に応じた階調電圧信号を印加する第1の手段と、一垂直走査期間中、前記液晶に前記階調電圧信号の印加によって生じた内部電界に対して逆バイアスとなるDC成分を印加する第2の手段とを有する液晶装置にあり、第2に自発分極を発現する液晶と該液晶を挟持する一対の電極基板と該電極基板と前記液晶間に存在する絶縁層部から成る液晶素子であって、上記液晶の自発分極Ps値と上記絶縁層部の電極間合成容量Ciと上記液晶素子における液晶の光学応答の電圧閾値Vthとの間に

【0010】

【外5】

$$\frac{2Ps}{Ci} < V_{th}$$

の関係が成り立つ様に構成した液晶素子に第2の特徴がある。

【0011】【発明の態様の詳細な説明】本発明で用いる液晶パネルとしては図18に示すアクティブマトリクス駆動方式の液晶パネル、即ち複数の行（走査線）及び複数の列（データ線）に沿って配置したスイッチング素子（アモルファス・シリコン、ポリシリコンなどをの薄膜半導体を用いたTFT）、該スイッチング素子の第1の端子（ゲート）を行毎に共通に接続した第1の配線（ゲート線）、該スイッチング素子の第2の端子（ソース）を列毎に共通に接続した第2の配線（ソース線）、該スイッチング素子の第3の端子（ドレイン）毎に接続した複数の画素電極（透明電極）、該画素電極に対向配置した対向電極（透明電極）と、複数の画素電極と対向電極との間に配置した自発分極を発現する液晶（強誘電性を発現するカイラルスメクチックC、H、I、G、F液晶）とを備えたものを用いるのがよい。

【0012】この際、画素電極と対向電極との間隔は、カイラルスメクチック液晶のらせん構造の形成を抑制するのに十分に薄い間隔（約5μm以下）に設定されるのがよいが、本発明は必ずしも上述のらせん構造の形成を抑制しなくてもよい。

【0013】また、これらの液晶駆動時においては、所望の温度範囲内に保持するための熱的制御をかけてもよ

い。

【0014】本発明は図1に示す様に画素に対して印加したリセット電圧信号Vrおよび記録電圧信号Vrを該画素の光学的状態変化に必要な時間印加した後、記録電圧Vrの大きさに応じた大きさの補助電圧信号Vs1を与えることによって、下述の内部電界を制御することができる。

【0015】以下、上記補助電圧信号の作用をさらに具体的にするにあたり、前記DC成分、自発分極によるイオンの偏在によって発現する内部電界について述べる。

【0016】図2はFLC素子の擬似等価回路モデルを示す。図4においてまず外部から長時間のDC成分が印加された場合のイオン偏在模式図を示す。仮に外部から+側のDC成分が印加されると液晶層内部には図示

【0017】

【外6】

⊕ ⊖

で示す様なイオン偏在が出きると考えられる。この時液晶分子の自発分極（Ps）の向きが上向き

【0018】

【外7】

(↑)

の場合「黒」であるとする、このイオンにより、液晶分子は「黒」になり易い電界が形成される。

【0019】次に図5において自発分極（Ps）自体によりイオンが偏在する様子を示す。Psの向きが長時間「黒」

【0020】

【外8】

(↑上向き)

状態である場合には(a)の様に、また、「白」

【0021】

【外9】

(↑下向き)

状態である場合は(b)の様になると考えられる。この結果このイオンが電界を形成し、液晶状態が長時間「黒」であるか「白」であるかにより、同じ値の外部電圧Vrを新たに与えると、このイオン偏在状態が影響し、「白」になり易い、なり難いという差が生じ、光学応答にヒステリシスを生じたり、あるいは同一表示状態を繰返しリフレッシュする場合に不安定性が生じたりすると考えられる。

【0022】以下、図1に示す駆動波形に基づいて本発明作用についてさらに詳しく説明する。

【0023】上記のうち、自発分極に対して誘起されるイオン量は制御され難く、これに対し、DC成分は外部印加電圧により制御可能である。本発明は前記補助電圧Vsを1つにはDC成分として作用させ、前記イオン偏在をPsの状態にかかわらず「一定」にする作用をもたらすものである。上記「一定」とはイオン偏在の総量と

とらえてよく、この一定値は0であってもよいし、必ずしも0である必要はない。

【0024】図6の模式図中に上記イオン偏在状態を一定に保つための調整方法を示す。一例としては上記イオンの偏在の総量を図5(a)に示す様な「黒」状態持続の場合に見かけ上保とうとするものである。

【0025】まず、図6(a)に示す様な「黒」状態のイオン偏在状態から出発するとする。この際には図1(a)に示す駆動波形をあらかじめ印加する。この状態から次に「黒」を表示する場合は、図7(a)に例示する様な駆動波形により「黒」を表示し、この時、補助電圧 V_{sx} によるDC成分の重畳量は0でよい。次に階調として図6(b)に示す様な階調を表示する場合、この表示により形成されるであろうイオン偏在状態は図19のようになる。したがってこの様なイオン偏在総量を「黒」表示の場合に一定化させるために図20のイオン偏在を*

$$V_{sx} \sim \frac{2 P_{saa}}{C_i}$$

$$0 < \Delta a < 1$$

(C_i は絶縁層の容量)が適当である。図8を用いて、この数値的な目安について説明する。図8は階調記録電圧 V_v の印加直後、液晶画素の両端電圧を0Vにした場合に液晶層にかかる分圧を計るものである。この時に液晶分子はいくらか「黒」方向に戻され、中間調状態になるがこの時の白状態の割合を Δa とすると、液晶層分圧は

【0028】

【外11】

$$\frac{-2 P_{saa}}{C_i + C_{LC}}$$

となる。この中間調状態によりイオン移動が起こる電圧原因が上記式であるから、外部からこのイオン移動を起こす電圧の逆電圧 V_{sx} を印加し、 V_{sx} による液晶分圧

【0029】

【外12】

$$\frac{C_i}{C_i + C_{LC}} V_{sx}$$

が上記

【0030】

【外13】

$$-2 P_{saa} \frac{1}{C_i + C_{LC}}$$

と等しくなる様にすればイオン移動を起こさないで済むと考えられる。したがって

【0031】

【外14】

*付加させるがごとく図7(b)に示す様な補助電圧 $+V_{sx1}$ を印加する。さらに図6(c)に示す様に「白」を表示する場合、この表示により形成されるであろうイオン偏在状態、図21を「黒」表示の場合の総量に一定化させるために図22のイオン偏在を付加させるがごとく図7(c)に示す補助電圧 $+V_{sx2}$ を印加するものである。

【0026】上記 V_{sx1} 、 V_{sx2} の具体的な数値調整は使用する液晶の自発分極 P_s の大きさや、温度環境等により適宜行うことになるが、本発明を適用する液晶は上記自発分極 P_s の大きさはそれ程大きくない(10nC/cm²以下、好ましくは5nC/cm²以下)方が補助電圧信号 V_{sx} の大きさが大きくなり過ぎない点で有利である。上記数値的な目安としては、 V_{sx1} の大きさとして

【0027】

【外10】

(Δa は V_w 印加終了時の階調)

$$\frac{C_i}{C_i + C_{LC}} V_{sx} = 2 P_{saa} \frac{1}{C_i + C_{LC}}$$

より

【0032】

【外15】

$$V_{sx} = \frac{2 P_{saa}}{C_s}$$

という様に解ける。

【0033】たとえば P_s が5nC/cm²、 C_i が20uF/cm²程度とすると全白状態においても V_{sx} =0.5V程度である。

【0034】したがって図9に示す駆動波形において V_{sx} を中間調に合わせて0Vから0.5Vの範囲で適度に印加すれば初期のイオン偏在状態を一定維持できることになる。

【0035】すなわち、画像表示繰返しにおいて、次フレーム迄各表示フレーム毎にそのフレームの中間調に応じた V_{sx} をDC成分として印加しつづけておけば、イオン偏在を一定化出来、上記不安定性の原因と見られるイオン偏在の不安定性を排除することが出来る。

【0036】かつ第2に上記DC成分は液晶の「白」保持電圧としても作用するために、液晶応答も高速で行われ、動画等にも充分対応させることが出来る。

【0037】図11～図12に本例駆動法により改善した光学応答実験例を示す。

【0038】上記した様に、表示状態により生ずるイオン偏在状態を一定化させるために、DC成分を重畳するべく印加する補助電圧信号の波高値

【0039】

【外16】

$$V_{sx} = \frac{2 P_{s,a}}{C_i}$$

は、その階調表示フレームにわたっても状態を安定化させることが望ましく、本駆動法においては V_{s1} の最大値すなわち

【0040】

【外17】

$$V_{sxmax} = \frac{2 P_{s,1}}{C_i} V + h$$

となることが望ましく、本発明はそもそもこの条件を満たす必要がイオンのつりあいから本質的に存在することを見出し本光学素子の提案に至ったものである。

【0041】すなわち、図26に示す液晶光学素子構成の条件として、使用する液晶の自発分極 P_s の実質的な大きさと、素子を構成する重要な要素である配向層あるいは付加的に設ける絶縁層を含んだ絶縁層部分の素子内における合成容量 C_i との間に上記した不遍的な関係を成立させることで、本質的な安定階調駆動が行なえる。

【0042】このために定性的には、合成容量 C_i を大きくし、使用する液晶の P_s は小さくする方が良い。

【0043】本発明者らの実施1例としては、電極上にセルの上下電極の電気的短絡を防ぐ目的で設ける絶縁層をたとえば、Ti(チタン)、Si(ケイ素)の混合酸化物(Ti-SiOx)を電極上に塗布、焼成し、1000Å前後の薄層とし、この上にポリイミド配向層を塗布、焼成により200Å程度の薄層に形成シラビングを施すことにより、上記合成容量 C_i を出来るだけ大きくし、数10nF/cm²程度の値を得ている。さらに C_i を大きくするためには物理的に層厚を薄くする。形成される層の誘電率が高いものを選択する方向がある。

【0044】一方、液晶の P_s の大きさとしては一般に測定される分極反転電流の評価で最大で10nC/cm²、好ましくは5nC/cm²以下であるものを使用する。この結果において、上記

【0045】

【外18】

$$\frac{2 P_s}{C_i}$$

の値として0.5V程度以下に抑える様にした。

【0046】また逆に V_{i1} を上げるために粘性を調整したりするが、一般的に駆動電圧が高くなることは不利である。

【0047】ここで V_{i1} とは、実質素子を駆動する上で一定の階調を表示する間の時間間隔において、光学変化が実質検知されない印加DC電圧値限界を定義した。

【0048】本素子によって駆動する例をさらに以下に記述する。

【0049】前記した駆動法は、単純マトリクスによる画像形成については、各階調について個々に制御することに困難があるが、各画素を独立に駆動するもの、たと

10

えば、単ビットの光シャッタや7セグメント、あるいはTFT(薄膜トランジスタ)等によるアクティブマトリクス駆動においては原理的に適用可能である。

【0050】以下、TFTによるアクティブマトリクス駆動に適用した場合の具体的駆動波形例について説明する。

【0051】図13は本発明をアクティブマトリクス駆動に適用した場合の駆動波形を示すタイミングチャートである。

【0052】本例はまず、画素を「黒」にするためのリセット信号 V_r を印加しTFTの開放特性を利用して充分「黒」になる時間電圧を作用させる(図示 V_r)。その後記録電圧 V_g を印加し、同じく開放特性により階調レベル電圧 V_g を一定時間作用させたのちいったんアース信号 V_e を与える。このアース電圧 V_e が作用する間、階調透過率は変化するが次の補助信号により状態が安定化する。

【0053】この後、本発明補助電圧信号 V_{s1} を与えるが、この信号は所望の階調表示状態に合わせて、 V_{s11} 、 V_{s12} の大きさを選択し、階調透過状態の一垂直走査期間である表示フレーム中 V_{s11} 、 V_{s12} に示す様に、適度のDC電圧を含めた電圧値として作用させる。なお、リセット電圧として充分大きな電圧値を与える場合にはこれら電圧値 V_{s11} 、 V_{s12} は V_r 、 V_g の電圧値差をフレームにわたって0補償した上で、中間調に応じたDC成分を作用させる値を足した値としても良い。

【0054】この補助電圧信号 V_{s1} のDC成分作用値の目標としては前記した様に使用する液晶の自発分極の大きさにより選択するが、その大きさは最大透過率を1としたときの「白」、階調の割合 Δa により前記した

【0055】

【外19】

$$V_{dc} = \frac{2 P_{s,a}}{C_i}$$

が目標値として与えられ、たとえば $P_s \sim 5 \mu C/cm^2$ の場合、液晶セルを構成する絶縁層の容量が20nF/cm²である場合は、 V_g が全「白」を記録するための信号である時約0.5V程度となる。したがって、階調表示状態の時、それに応じて0.5V以下のDC成分がのる様にする。

【0056】ここで記録電圧 V_r および記録電圧信号 V_g は、画素の光学状態を決定するための信号であり、その画素の表示輝度に応じた電圧信号(階調電圧信号)である。これに対して補助電圧信号 V_{s1} および補助電圧信号 V_{s1} は階調表示状態を実質安定させるものとして考えてよく、この電圧は、光学的閾値 V_{i1} 以下のDC電圧である場合によく安定する。ここで言う光学的閾値 V_{i1} とは1フレームにわたって V_{i1} を与えても光学的変化が実質検知されない値である。

【0057】この際の補助電圧信号 V_{s1} の絶対値は、階

50

調電圧信号の絶対値の $1/50 \sim 1/5$ 程の値とするのがよい。

【0058】図13において V_r と V_{s1} との間に設けたアース電圧 V_e の作用区間は、階調電圧信号 V_r を作用させた後、液晶分子応答として揺り戻される分を安定化させるために特に本例で設けたものであるが、本発明素子においては特に設けなくとも本例駆動による作用は実質損なわれない。但し、 V_{s1} 値を駆動波形に応じて適宜調整する。

【0059】また上記 V_r 、 V_e 、 V_e の作用中はリセット電圧 V_r の作用時間中液晶の状態変化が全て起こるとすれば基本的には V_r 、 V_e の作用中もリセット電圧 V_r 印加時間と同等レベルの長さでよい。

【0060】上記の駆動法を有効に作用させるためには、各ラインの記録区間を少なくとも4分割する(V_e 印加区間を設けない場合は3分割。以後の説明では V_e を設ける場合を説明する)。図13において下方に位置するタイミング図は第 n ライン目の記録区間 A を4分割した例を示す。すなわち数ライン後の画素をリセットするための該数ライン後に相当するラインのゲートを開く分割区間 a 、および第 n ライン目自身の記録のための第 n ライン目のゲートを開く分割区間 b および数ライン先の記録画素に対してアース電圧を与えるための該数ライン先に相当するラインのゲートを開く分割区間 c 、および、さらに数ライン先の記録画素に対して補助電圧信号を与えるために該さらに数ライン先に相当するラインのゲートを開く分割区間 d に分割している。なお、第 n ライン目の記録区間 A 内において上記分割区間 a 、 b 、 c 、 d はそれぞれ $a b c d / a b d c / a c d b / a c b d / b a c d / b a d c / b c a d / b c d a / b d a c / b d c a / c a b d / \dots / \dots / \dots$ のどの順になっ

ていてもよい。

【0061】図13において101~104は第 n ライン目のある画素の液晶の光学的状態を示す。図13にこの光学的状態を拡大して説明する。

【0062】図15はTFTアクティブマトリクスが形成された上側電極基板11と全面が電極である下側基板間に挟持されたFCLの模式図を示す。

【0063】FCLの原理としては自発分極 P_s の向きが上向き(201)である場合FCL分子長軸は実線1の向きになり P_s の向きが下向き(202)である場合点線2のようになる。ここで図23で示すリセット電圧 V_r を作用させ上側電極を負に保つと、この区間において自発分極は理想的には全て上向き201状態をとり、別にクロスポライザの関係で設けた偏光板301、302のいずれか一方を実線で示した長軸1方向に合致させると、このとき画素は「黒」となり図13中の101、103の様に全黒状態を示す。

【0064】次に記録電圧信号 V_r である階調電圧信号が液晶の反転閾値 V_{th} より大きければ「白」ドメインを

発生し、一方、 V_r が V_{th} 未満であればリセットされた「黒」状態を保つ。次にアース電圧信号 V_e を印加させアースで電圧 V_e を作用させると一部「白」にラッチされない分子が揺り戻される場合が多いが、階調電圧 V_r に応じた階調表示状態(図13の103の状態)に推移する。この後、各 V_r に対応した補助電圧信号 V_{s1} を印加することにより階調が保持され、かつ、前記で説明したイオン偏在変動を防止する。この結果、各フレームにおいて上記イオン偏在変動がない様にされるため、透過率の不本意な変動等がなく、安定した画像表示が行われる。

【0065】例えば最近言われるハイビジョン対応のテレビディスプレイにおいては走査線本数約1000本を30Hzノンインタレースあるいは60Hzインタレース駆動する場合、1フレーム約33msecで駆動する。このため1ライン当り割り当てられる記録時間は1フレーム当り約33μsecとなる。本発明においては n ライン目に記録電圧を与えるためのこの33μsecを4分割(各約8μsec以下)とし、それぞれを一例として $S_3=6$ ライン後に記録電圧(V_r)を与えられるライン画素をリセットするための V_r パルス印加区間、 n ライン自身の画素に V_r を与える記録パルス区間、および $S_2=6$ ライン先に V_r を与えられたライン画素に対してアース電圧信号 V_e を与えるアース信号区間、さらに $S_1=12$ ライン先に V_r を与えられたライン画素に対して本発明の補助電圧信号 V_{s1} を与える区間とすることで、各電圧の印加時間はそれぞれ約33μsec $\times 6$ =約198μsecとなり、本発明者らの使用した材料に対しては最大7V程度の V_e 、 V_r 電圧値で十分な画像表示が得られた。さらに補助電圧 V_{s1} により階調に応じた閾値 V_{th} 以下の電圧によりDC成分を重畳することで、階調表示が安定した。

【0066】次に図14を参照して、図13に示す駆動法についてさらに詳しく説明する。

【0067】補助電圧信号 V_{s1} のパルス波高値は1例として以下の様に決められる。

【0068】理想的な電圧波形としてリセット信号区間 a におけるリセット電圧 V_r の波高値 V_a が $-V_0$ である場合、記録信号区間 b における記録電圧 V_r の波高値 V_b が $+V_0$ の時、もしこれらの電圧印加時間が同じならば補助電圧信号区間 d における補助電圧信号 V_{s1} の波高値 V_{s0} は前記した計算

【0069】

【外20】

$$\frac{2 P_s (\Delta s = 1)}{C_i}$$

より $P_s \sim 5 \mu C / cm^2$ 、 $C_i \sim 20 nF / cm^2$ の場合0.5V印加する(401区間)。

【0070】一方、402区間、403区間、404区間で示される様に記録信号に階調性をもたせた場合、本

13

発明で印加する補助電圧信号の波高値 V_{s1} 、 V_{s2} 、 V_{s3} は例えばリセット電圧が充分大きい場合走査線本数を1000ラインとしてフレーム間隔に(帰線期間)24ライン分の時間を使用し、かつリセット期間を S_2 、記録期間を S_3 、アース期間 ($S_4 - S_3$) とすると $S_2 = S_3 = (S_4 - S_3) = S$ の場合、近似的に

【0071】

【外21】

$$V_{s1'} = \frac{(V_0 - V_1) \times S}{1024 - (3S + 1)}$$

$$V_{s2'} = \frac{(V_0 - V_2) \times S}{1024 - (3S + 1)}$$

$$V_{s3'} = \frac{(V_0 - V_3) \times S}{1024 - (3S + 1)}$$

$$V_{s1} = V_{s1'} + \frac{2 P_{sAa1}}{C_i}$$

$$V_{s2} = V_{s2'} + \frac{2 P_{sAa2}}{C_i}$$

$$V_{s3} = V_{s3'} + \frac{2 P_{sAa3}}{C_i}$$

の大きさの電圧とする。

【0074】なお、上記 S_2 、 S_3 また ($S_4 - S_3$) が異なる場合にはたとえば

【0075】

【外24】

※

 $V_{s1'}$

についてのみ記述すると

【0076】

【外25】

※

$$V_{s1'} = \frac{(V_0 \times S_2) - (V_1 \times S_3)}{1024 - \{S_2 + S_3 + (S_4 - S_3) + 1\}}$$

というように置きかえる。

【0077】具体的な数値として、使用する前記FLC

の $P_s = 5 \mu C/cm^2$ 、 C_i を $20 nF/cm^2$ とし、

V_1 を $-7 (V)$ 、また V_1 として $5.5 V$ で中間調60★

★%透過率が得られるとすると、 $S_2 = S_3 = (S_4 - S_3) =$

6として

【0078】

【外26】

$$V_{s1'} = \frac{7 \times 6 - 5.5 \times 6}{1024 - 19} = \frac{9}{1005} \sim 9 mV$$

より

$$V_{s1} = 9 (mV) + 0.5 (V) \times 0.6 = 0.309 (V)$$

となる。

【0079】上記補助電圧信号 V_{s1} はアナログ的な記録信号電圧 V_1 によりその場で演算されてもよいし、記録信号 V_1 がデジタル的な値であるならば、予めメモリされたテーブルT (V_1 、 V_{s1}) により自動的に出力されてもよい。

【0080】なお、本発明の駆動法はフレームメモリあるいは少なくとも S_4 ライン分のラインメモリを設けることで理論的には容易に達成できる。

【0081】すなわち、記録信号発生から補助信号発生

まで上記の場合 $S_4 = 12$ ラインの遅れ時間があるため、この間、他ラインの記録信号発生に対して $S_4 = 12$ ライン分は情報を記憶している必要があるからである。

【0082】図16に駆動回路のブロック図例を示す。信号の同調はすべて図示のクロックにより行われ、各ラインへのゲート信号出力タイミング、およびソース電極へのリセット信号、記録信号、補助信号の出力タイミングが制御されて行われる。

【0083】本発明の補助電圧印加は、自発分極を有す

14

*により、 V_1 、 V_2 によるDC成分値を0とした上で、これに各

【0072】

【外22】

$$\frac{2 P_{sAa} (0 < \Delta a < 1)}{C_i}$$

 C_i

を目安とする電圧値を付加し、各中間調(アース電圧作用期間終了時の透過率を目安とし) Δa_1 、 Δa_2 、 Δa_3 に対して

10 【0073】

【外23】

*

$$(0 < \Delta a_1 \Delta a_2 \Delta a_3 < 1)$$

※

る液晶とアクティブマトリクス素子の組みあわせにより良好な効果を発揮するものであることが理解されよう。

【0084】前記迄の説明においては、イオンの偏在状態がFLC状態が全「黒」である場合に一定化させる説明をしたが、反対に「白」である状態にイオン偏在を一定化させる様にしても良い。

【0085】この場合は、初期「白」状態のイオン偏在を起こさせて出発させるとする。この方法としては図17に示す駆動波形のうち(d)の波形をあらかじめ連続印加する。前記「黒」状態のイオン偏在を維持するためのDC成分源が

【0086】

【外27】

$$\frac{2 P_{saa}}{C i}$$

であり、これを補助信号として印加したが「白」のドメイン比を Δa とすれば残りの黒ドメイン比 $(1-\Delta a)$ に対して「白」状態イオン偏在量を維持するためには

【0087】

【外28】

$$\frac{-2 P_{s(1-\Delta a)}}{C i}$$

のDC成分重畳量の補助電圧を印加すれば良いことになる(図16参照)。すなわち、前述迄のアクティブマトリクス駆動に適用する場合、前記図21様の補助電圧信号の大きさは

$V_{s0} = 0$

【0088】

【外29】

$$V_{s1} = V_{s1'} - \frac{2 P_{s(1-\Delta a1)}}{C i}$$

$$V_{s2} = V_{s2'} - \frac{2 P_{s(1-\Delta a2)}}{C i}$$

$$V_{s3} = V_{s3'} - \frac{2 P_{s(1-\Delta a3)}}{C i}$$

となる。但しこの時図14内の V_1 、 V_2 、 V_3 の記録電圧値と階調値 Δa_1 、 Δa_2 、 Δa_3 の対応は「黒」状態にイオン偏在を一定化させた場合とはそれぞれ異なり、 V_1 としてはより低い電圧を選択することで、前記実施例と同様、良好な中間調を得る。

【0089】上記安定した階調表示を得たものは、本発明素子により、前記DC成分値

【0090】

【外30】

$$\frac{-2 P_{s(1-\Delta a)}}{C i}$$

は常に V_{i1} 以下である。

【0091】

【発明の効果】以上説明した様に本発明光学変調素子によれば、良好な液晶ディスプレイを提供することが出来、これにより高精細な直視型フラットディスプレイやプロジェクションディスプレイが形成しうる。勿論、各画素毎にカラーフィルタを設けたり、また本発明駆動法を用いた液晶素子を複数個使用し、それぞれに対してカラー光投射を行うことで、透過型あるいは反射型の高精細のフラットカラーテレビあるいはプロジェクションカラーテレビを構成することが出来る。

【0092】また、本発明は実施例記載の駆動による使用に限らず、自発分極を有する液晶に対し、広く安定した階調表示をもたらす光学素子として使用しうる事が予測されよう。

【図面の簡単な説明】

【図1】本発明で用いた駆動電圧の波形図である。

【図2】本発明で用いた液晶セルの断面図である。

【図3】図2に示すセルの等価回路図である。

【図4】本発明で用いた液晶セルの分極状態を示す断面図である。

20 【図5】本発明で用いた液晶セルの分極状態を示す断面図である。

【図6】本発明で用いた液晶セルの分極状態を示す断面図である。

【図7】本発明で用いた駆動電圧の波形図である。

【図8】本発明で用いた液晶セル内の分極状態を示す断面図である。

【図9】本発明で用いた駆動電圧の波形図である。

【図10】本発明で用いた液晶セルの分極状態を示す断面図である。

30 【図11】本実施例での約0.3VのDC成分を V_{s1} として印加し、これを44Hz周期で連続印加した時の応答時間変化を示す図である。

【図12】本実施例での約0.3VのDC成分を V_{s1} として印加し、これを44Hz周期で連続印加した時の応答時間変化を示す図である。

【図13】本発明で用いた駆動法のタイミングチャート図である。

【図14】本発明で用いた駆動法のタイミングチャート図である。

40 【図15】FLCの斜視図である。

【図16】本発明装置のブロック図である。

【図17】本発明で用いた駆動波形図である。

【図18】アクティブマトリクス型液晶パネルの平面図である。

【図19】本発明で用いる液晶セルの分極状態の断面図である。

【図20】本発明で用いる液晶セルの分極状態の断面図である。

50 【図21】本発明で用いる液晶セルの分極状態の断面図である。

【図22】本発明で用いる液晶セルの分極状態の断面図である。

【図23】60Hz周期で連続印加した時のV-Tカーブ、ヒステリシス不安定性を示す説明図である。

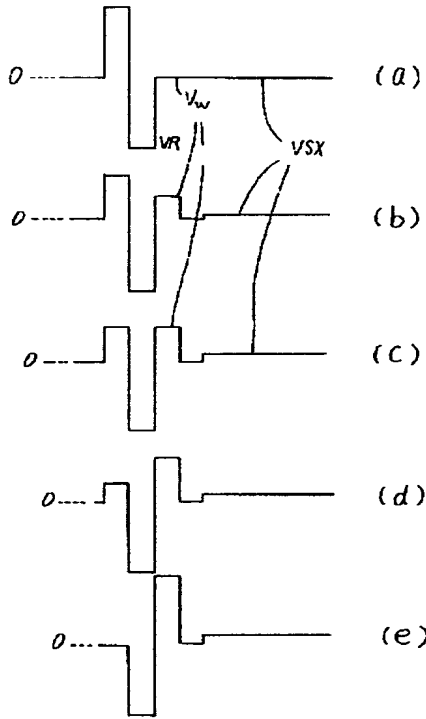
【図24】44Hz周期で連続印加した時の不安定性を

示す説明図である。

【図25】0.9V_dDC成分を印加し、44Hz周期で連続印加した時の応答疎外の時間変化を示す説明図である。

【図26】本発明のセルの断面図である。

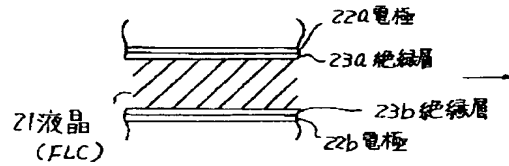
【図1】



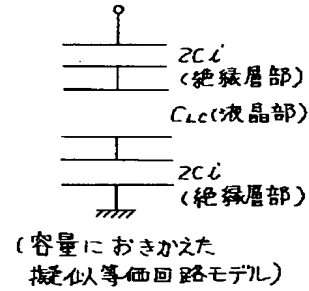
【図4】

【図5】

【図2】

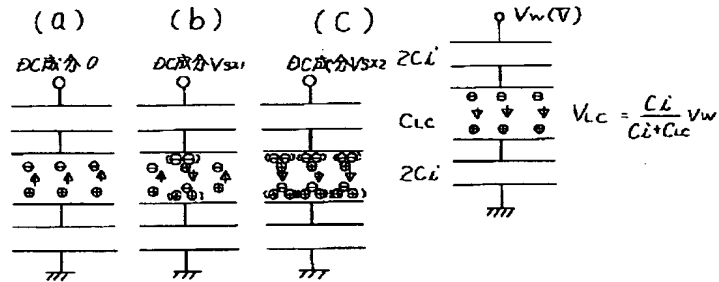


【図3】

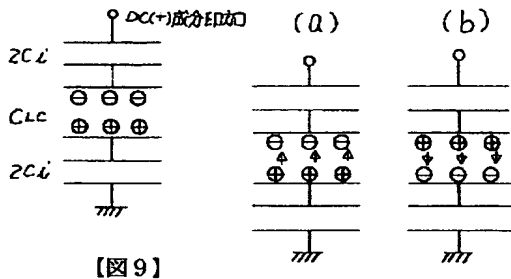


【図6】

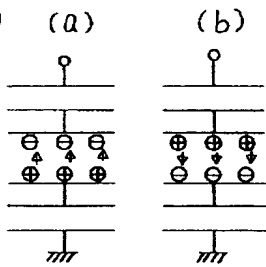
【図8】



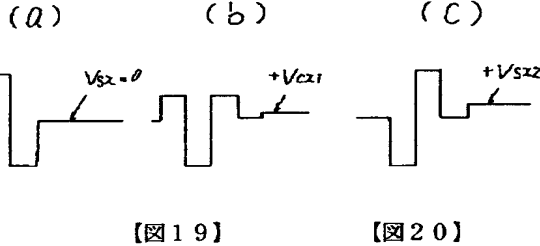
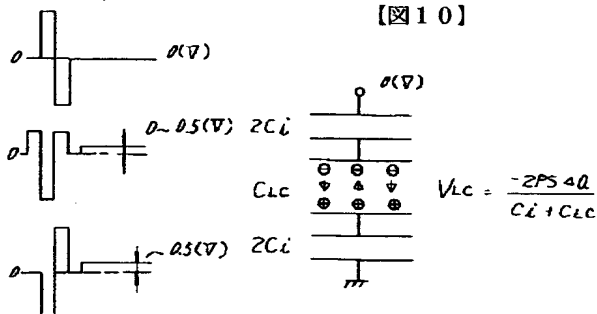
【図7】



【図9】

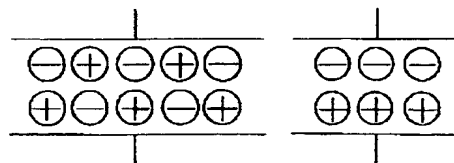


【図10】

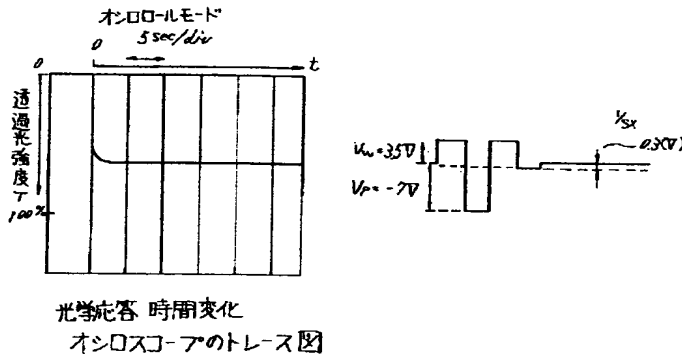


【図19】

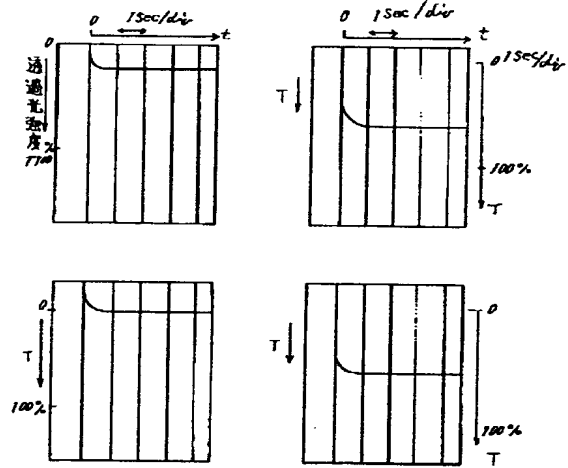
【図20】



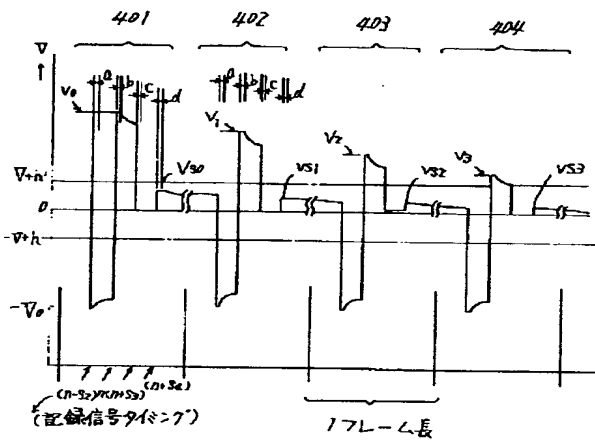
【図11】



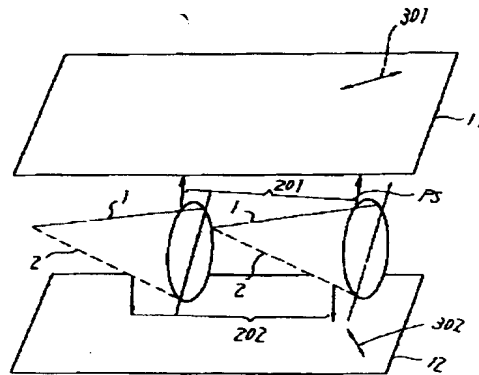
【図12】



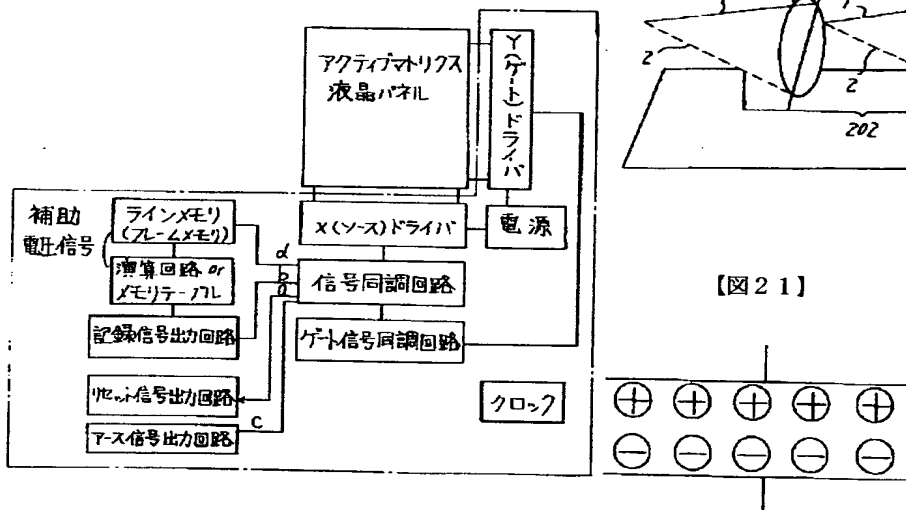
【図14】



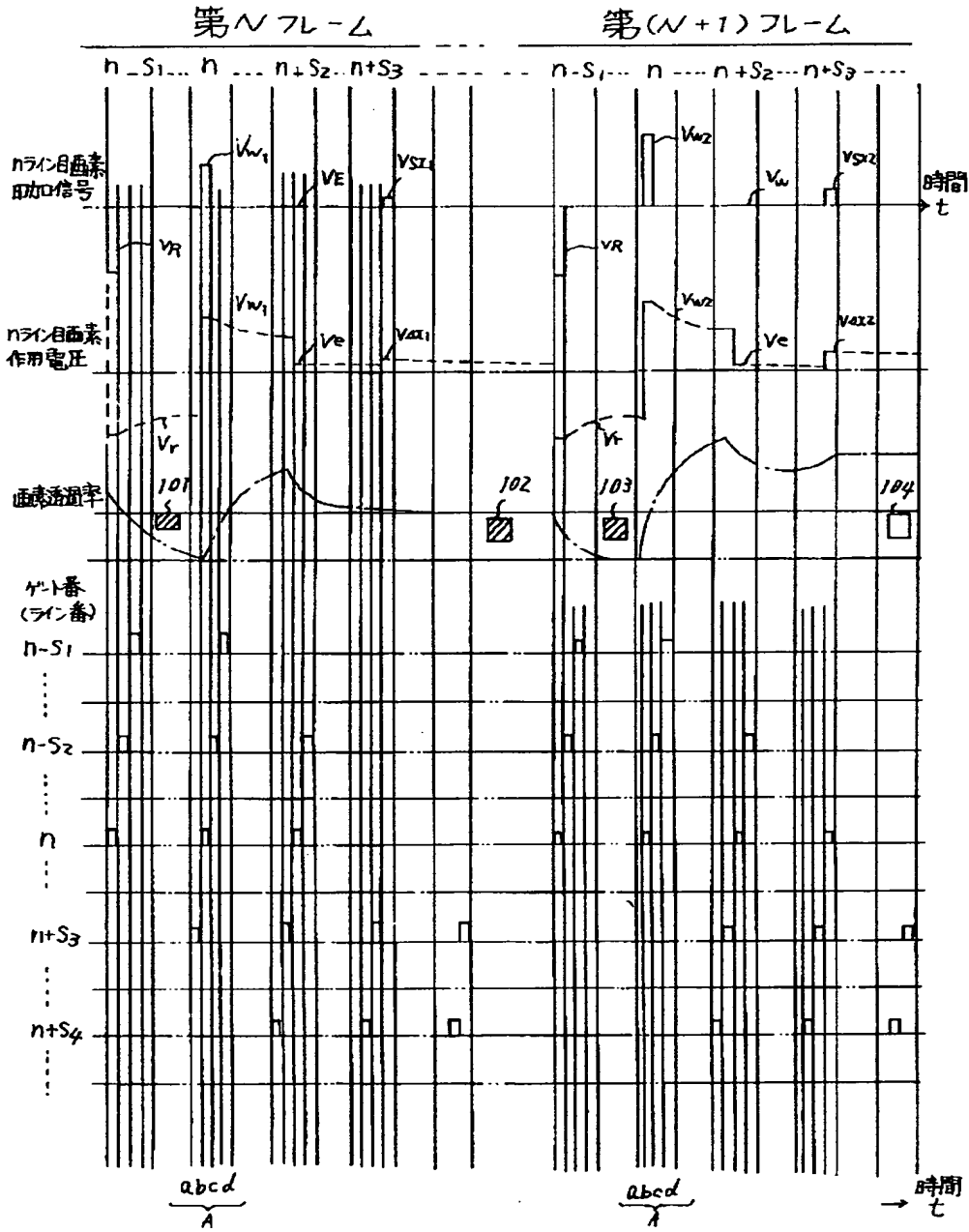
【図15】



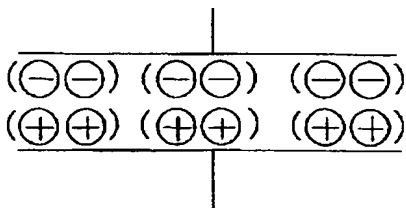
【図21】



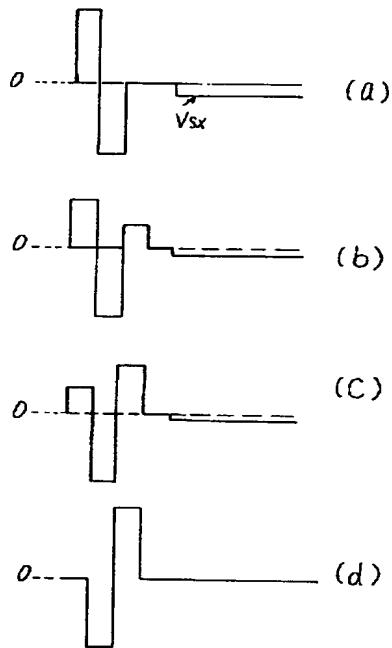
【図13】



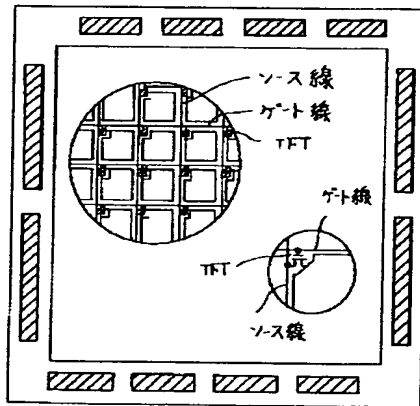
【図22】



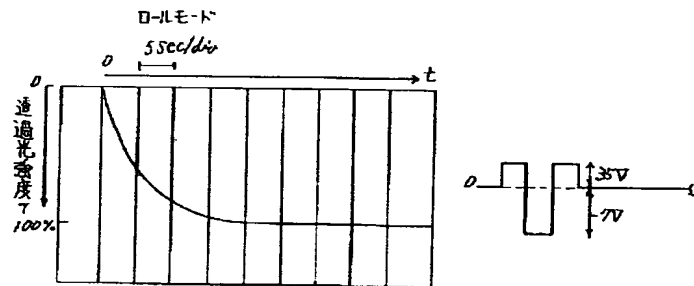
【図17】



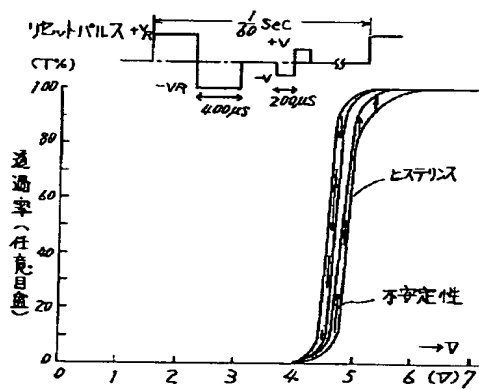
【図18】



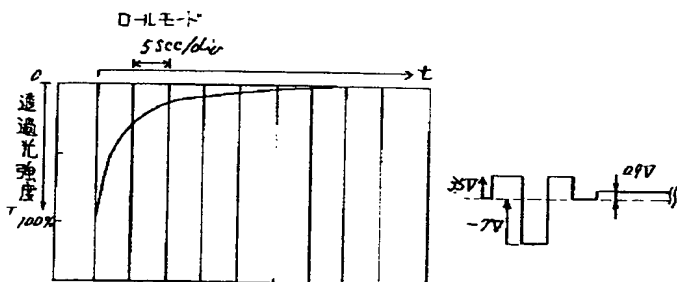
【図24】



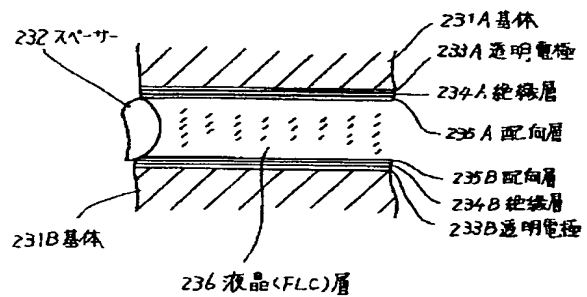
【図23】



【図25】



【図26】



フロントページの続き

(72)発明者 吉田 明雄
東京都大田区下丸子 3 丁目 30 番 2 号キヤノ
ン株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.